



PATENT

Docket No. JCLA12114

page 1

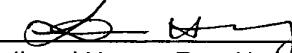
IN THE UNITED STATE PATENT AND TRADEMARK OFFICE

In re application of : NENG-YU TSENG et al.
Application No. : 10/718,455
Filed : November 19,2003

For : FRAME ATTACHING PROCESS

Certificate of Mailing
I hereby certify that this correspondence and all marked attachments are being deposited with the United States Postal Service as certified first class mail in an envelope addressed to: Commissioner for Patents, P.O.BOX 1450, Alexandria VA 22313-1450, on

March 24, 2004
(Date)


Jiawei Huang, Reg. No. 43,330

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

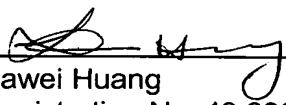
Sir:

Transmitted herewith is a certified copy of Taiwan Application No. 92131756 filed on November 13, 2003.

A return prepaid postcard is also included herewith.

It is believed no fee is due. However, the Commissioner is authorized to charge any fees required, including any fees for additional extension of time, or credit overpayment to Deposit Account No. 50-0710 (Order No. JCLA12114).

Date: 3/24/2004

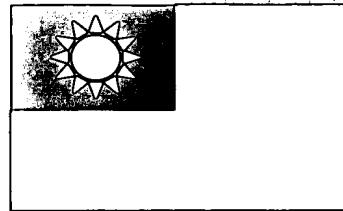
By: 
Jiawei Huang
Registration No. 43,330

Please send future correspondence to:

J. C. Patents
4 Venture, Suite 250
Irvine, California 92618
Tel: (949) 660-0761

10/7/18, 455

JCLP/12114



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 11 月 13 日

Application Date

申請案號：092131756

Application No.

申請人：聯華電子股份有限公司

Applicant(s)

局長

Director General

劉 繩 生

發文日期：西元 2004 年 2 月 13 日

Issue Date

發文字號：09320136110

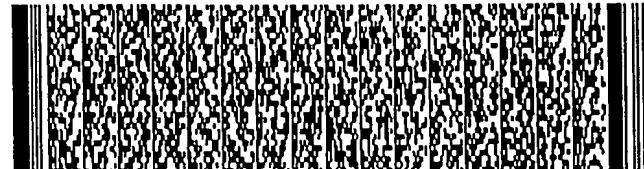
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	膠框接合製程
	英文	FRAME ATTACHING PROCESS
二、 發明人 (共5人)	姓名 (中文)	1. 曾能郁
	姓名 (英文)	1. TSENG, NENG YU
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 新竹縣竹東鎮自強路50號5樓
	住居所 (英文)	1. 5F., No. 50, Zihciang Rd., Jhudong Township, Hsinchu County 310, Taiwan R.O.C.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 聯華電子股份有限公司
	名稱或 姓名 (英文)	1. United Microelectronics Corp.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹科學工業園區新竹市力行二路三號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. No. 3, Li-Hsin Rd. II, Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C.
代表人 (中文)	1. 曹興誠	
代表人 (英文)	1. TSAO, ROBERT H. C.	



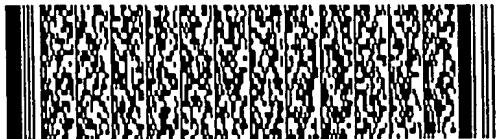
1211141wf.psd

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共5人)	姓名 (中文)	2. 官大雙
	姓名 (英文)	2. KUAN, DA SHUANG
	國籍 (中英文)	2. 中華民國 TW
	住居所 (中 文)	2. 新竹縣芎林鄉富林路一段572巷3號
	住居所 (英 文)	2. No. 3, Lane 572, Sec. 1, Fulin Rd., Cyonglin Township, Hsinchu County 307, Taiwan R.O.C.
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	

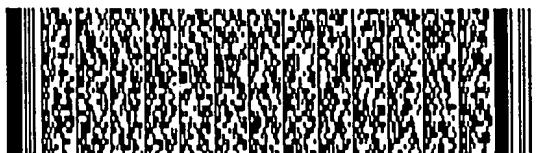


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共5人)	姓名 (中文)	3. 林佳德 4. 陳盛龍
	姓名 (英文)	3. LIN, CHIA TE 4. CHEN, SHENG LUNG
	國籍 (中英文)	3. 中華民國 TW 4. 中華民國 TW
	住居所 (中 文)	3. 嘉義縣六腳鄉蘇厝村143-15號 4. 新竹市頂美街47巷12號
	住居所 (英 文)	3. No. 143-15, Sucuo Village, Lioujiao Township, Chiayi County 615, Taiwan R.O.C. 4. No. 12, Lane 47, Tingmei St., Hsinchu, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



申請日期：

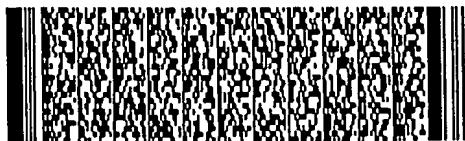
IPC分類

申請案號：

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共5人)	姓 名 (中文)	5. 游國周
	姓 名 (英文)	5. YU, DYLAN
	國 籍 (中英文)	5. 中華民國 TW
	住居所 (中 文)	5. 基隆市祥豐街837之4號
	住居所 (英 文)	5. No. 837-4, Siangfong St., Jhongjheng District, Keelung City 202, Taiwan R. O. C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文發明摘要 (發明名稱：膠框接合製程)

一種膠框接合製程，適用於將一透光基板之一接合面經由一膠框，而接合至一晶片之一主動面，其中晶片之主動面更具有一功能區域。本膠框接合製程可選擇先形成膠框於透光基板之接合面或晶片之主動面上。接著，在一負壓環境之中，將透光基板之接合面經由膠框，而接合至晶片之主動面，且膠框係環繞功能區域之周圍。最後，固化膠框。因此，本膠框接合製程可降低膠框斷裂之機會，進而提高製程之良率。

伍、(一)、本案代表圖為：第____3C____圖

(二)、本案代表圖之元件代表符號簡單說明：

310：透光基板

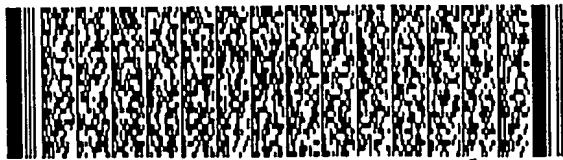
312：接合面

320：晶片

322：主動面

六、英文發明摘要 (發明名稱：FRAME ATTACHING PROCESS)

A frame attaching process is provided. The frame attaching process is suitable for attaching a transmission substrate to an active surface of a chip by a frame, wherein the active surface of the chip has a functional area. In the frame attaching process, the frame can be preformed on the attaching surface of the transmission substrate or on the active surface of the chip. Then, the



四、中文發明摘要 (發明名稱：膠框接合製程)

322a : 功能區域

330 : 膠框

340 : 真空系統

342 : 腔體

344 : 真空幫浦

346 : 抽氣閥

348 : 壓力計

六、英文發明摘要 (發明名稱：FRAME ATTACHING PROCESS)

attaching surface of the transmission substrate is attached to the active surface of the chip by the frame under a negative pressure, and the frame is surrounded the functional area. Finally, the frame is solidified. Therefore, the frame attaching process can reduce the probability that the frame cracks, and the frame attaching process improves the yield factor of the process.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

無

寄存日期：

寄存號碼：

熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

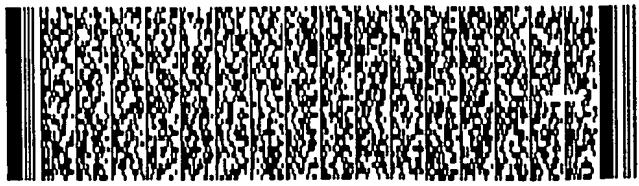
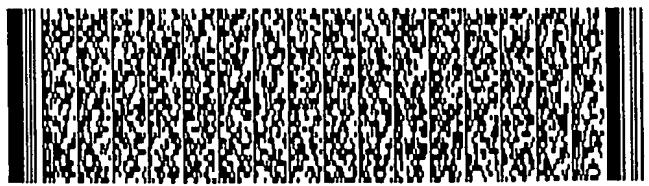
發明所屬之技術領域

本發明是有關於一種膠框接合製程，且特別是有關於一種在負壓環境中將透光基板經由膠框而接合至晶片，以降低膠框斷裂機率的膠框接合製程。

先前技術

有別於傳統以單一晶片 (Die) 為加工標的的封裝技術，晶圓級封裝 (Wafer-Level Package, WLP) 係以整片晶圓 (Wafer) 作為封裝處理的對象。相較於以往之單一晶片封裝，晶圓級封裝係同時對多個晶片進行後段封裝製程，進而簡化晶片之後段製程，藉以節省製程時間及成本，意即在晶圓表面之元件、線路及其相關之前段製程完成以後，便可直接對整片晶圓進行後段製程，其後再進行晶圓切割 (Wafer Saw) 的動作，以分別形成多個晶片封裝 (chip packages)。晶圓級封裝主要是延續晶片尺寸封裝 (Chip-Scale Package, CSP) 之發展，並可應用於覆晶 (Flip-Chip, FC) 封裝或其他類型的封裝。

在光電產業蓬勃發展的今日，光電元件已經普遍地應用成熟的半導體製程技術，並不斷地朝著微型化及多功能化的方向發展，應用半導體製程技術之常見的光電元件例如有電荷耦合 (Charge-Coupled Device, CCD) 晶片、CMOS 影像感測 (CMOS Image Sensor, CIS) 晶片、太陽能電池 (Solar Cell)、生化晶片 (Bio-Chip) 及其他光電元件等。同樣地，當利用上述之晶圓級封裝製程技術來量產光電元件時，將可降低光電元件之製程時間及製作成



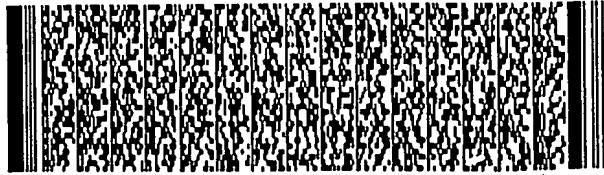
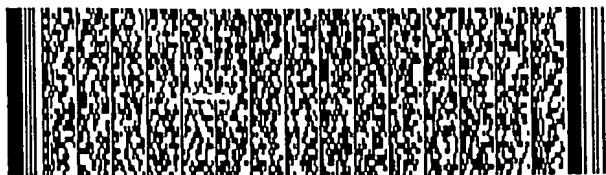
五、發明說明 (2)

本。

一般而言，光電元件之晶片的主動面 (active surface) 通常具有一功能區域，其用以提供感測、發光或其他功能。為了保護這個功能區域，通常會經由一膠框來將一透明基板 (例如一玻璃基板) 貼附至晶片之主動表面的功能區域上方，使得晶片之主動面的功能區域同時受到透光基板及膠框的包圍，而形成一密閉腔室，所以外界之濕氣及灰塵無法進入此密閉腔室，故可讓晶片維持正常的運作。

請參考第1A～1C圖，其繪示習知之一種CMOS影像感測晶片之晶圓級封裝製程的流程示意圖。首先，如第1A圖所示，提供一玻璃基板110及一CMOS晶片120，其中玻璃基板110具有一接合面112，而CMOS晶片120係為一晶圓 (未繪示) 所形成多顆尚未切割的CMOS晶片之一。此外，CMOS晶片120具有主動面122，且主動面122上更具有可感測光線之一感測區域122a。接著，如第1B圖所示，在CMOS晶片120之主動面122上形成一膠框130，且膠框130係圍繞感測區域122a的周圍。最後，如第1C圖所示，藉由一壓合的動作，使玻璃基板110之接合面112透過膠框130而與晶片120之主動面122接合。

然而，請同時參考第1C圖及第2圖，其中第2圖繪示CMOS影像感測晶片於封裝之後的俯視圖。為了清楚地顯示膠框130受壓斷裂的情況，故第2圖並未繪示第1C圖之玻璃基板110。值得注意的是，在玻璃基板110與CMOS晶片120



五、發明說明 (3)

進行壓合的過程之中，由於玻璃基板在受到壓力之後，玻璃基板110、CMOS晶片120及膠框130之間所圍成的密閉腔室，存在於其內部之空氣亦同時被壓縮，因而增加密閉腔室之內的氣壓。然而，當膠框130無法承受密閉腔室與外界之間過大的壓力差時，膠框130往往會受到內部氣體之擠壓，因而發生斷裂的現象。

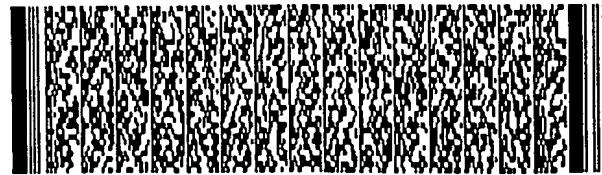
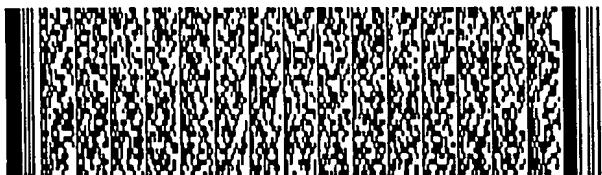
因此，習知之膠框接合製程乃是在常壓環境（例如一大氣壓）之下，經由膠框來接合玻璃基板及晶片，但是在封裝過程中所產生於膠框之內外側的壓力差，卻容易導致膠框本身發生斷裂的現象，使得光電元件之晶片其主動面上無法維持一密閉腔室，因而導致濕氣或灰塵等污染物進入此密閉腔室，進而影響光電元件之正常運作。

發明內容

因此，本發明的目的就是在提供一種膠框接合製程，以降低膠框在接合透明基板及晶片的過程中發生斷裂的機率，進而提高製程之良率。

基於本發明之上述目的，本發明提出一種膠框接合製程，適用於將一透光基板之一接合面經由一膠框，而接合至一晶片之一主動面，其中晶片之主動面更具有一功能區域。本發明之膠框接合製程至少包括下列步驟：首先，形成膠框於晶片之主動面，且膠框係環繞於功能區域之周圍。然後，在一負壓環境之中，將透光基板之接合面經由膠框，而接合至晶片之主動面。最後，固化膠框。

基於本發明之上述目的，本發明更提出另一種膠框接



五、發明說明 (4)

合製程，適用於將一透光基板之一接合面經由一膠框，而接合至一晶片之一主動面，其中晶片之主動面更具有一功能區域。本發明之膠框接合製程至少包括下列步驟：首先，形成膠框於透光基板之接合面。接著，在一負壓環境之中，將透光基板之接合面經由膠框，而接合至晶片之主動面，且膠框係環繞於功能區域之周圍。最後，固化膠框。

依照本發明之較佳實施例的膠框接合製程，上述之負壓環境的氣壓範圍例如為0.9~0.5大氣壓力(atm)。此外，固化膠框的方法例如包括以紫外光照射膠框。

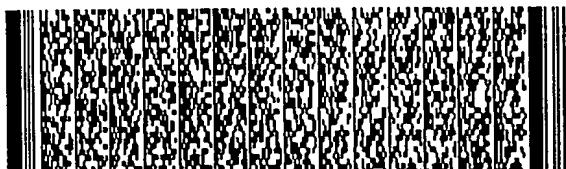
基於上述，本發明之膠框接合製程係可選擇性地於透光基板之接合面或晶片之主動面上預先形成膠框，並在一負壓環境中，將透明基板之接合面經由膠框而接合至晶片之主動面，如此將可大幅降低膠框之內外側的氣壓差，因而減少膠框之本身發生斷裂的機率，進而增加膠框接合製程之良率。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下。

實施方式

請參考第3A~3D圖，其繪示本發明之較佳實施例之第一種膠框接合製程的流程示意圖。

首先，如第3A圖所示，提供一透光基板310及一晶片320，其中透光基板310具有一接合面312，且透光基板310



五、發明說明 (5)

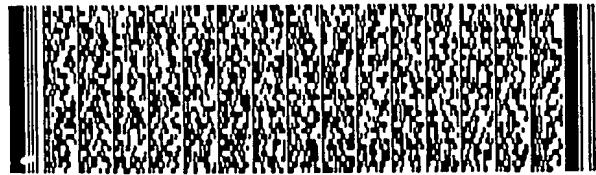
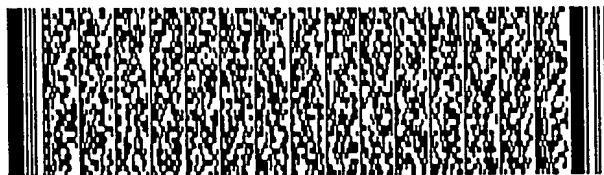
之材質例如可為玻璃或其他透光材料，而晶片320係為一晶圓（未繪示）所形成多顆尚未切割的晶片之一。此外，每一晶片320具有一主動面322，且主動面322更具有一功能區域322a。當晶片320係為一具有光電功能之晶片時，上述之功能區域322a將可具有感測或發光等功能。

接著，如第3B圖所示，於晶片320之主動面322上形成一膠框330，且膠框330係環繞於功能區域322a之周圍。

然後，如第3C圖所示，提供一負壓環境，其氣壓範圍例如是0.9~0.5大氣壓力(atm)，而此負壓環境例如係由一真空系統340所提供之。真空系統340包括一腔體(Chamber)342、一真空幫浦(Vacuum Pump)344、一抽氣閥(Valve)346及一壓力計(Pressure Sensor)348，其中腔體342之內部的氣壓值係可藉由真空幫浦344之作用，而下降至0.9~0.5大氣壓力(atm)。並且，將上述之透光基板310及晶片320置入腔體342中，且令透光基板310之接合面312經由膠框330，而接合至晶片320之主動面322。

最後，如第3D圖所示，固化膠框330，其中固化膠框330之方法，例如包括以紫外光照射膠框330或其他方法等。

除了上述之第一種膠框接合製程以外，本發明之較佳實施例更提出第二種膠框接合製程，其與上述之第一種膠框接合製程最大的差別係在於預先形成膠框之位置。其中，第一種膠框製程係預先將膠框形成於晶片上，以使透



五、發明說明 (6)

光基板與晶片接合，而本發明之第二種膠框接合製程則預先將膠框形成於透光基板上，以使透光基板與晶片接合。

請參考第4A～4D圖，其繪示本發明之較佳實施例之第二種膠框接合製程的流程示意圖。

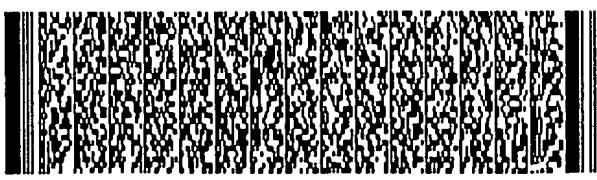
首先，如第4A圖所示，提供一透光基板310及一晶片320，其中有關透光基板310及晶片320的相關說明，請參考前述之第一種膠框接合製程，在此不再贅述。

接著，如第4B圖所示，預先於透光基板310之接合面312上形成一膠框330，並使膠框330在透光基板310與晶片320接合之後，仍可對應環繞於功能區域322a之周圍。

然後，如第4C圖所示，將透光基板310及晶片320置入前述之真空系統340中，其中腔體342之內部的氣壓值係可藉由真空幫浦344之作用，而下降至0.9～0.5大氣壓力(atm)。並且，將上述之透光基板310及晶片320置入腔體342中，且令透光基板310之接合面312經由膠框330，而接合至晶片320之主動面322。

最後，如第4D圖所示，固化膠框330，其中固化膠框330之方法，例如包括以紫外光照射膠框330或其他方法等。

請同時參考第3D、4D及5圖，其中第5圖繪示第3D、4D圖之晶片於封裝之後的俯視圖。為了清楚地顯示膠框330之分佈的情況，故第5圖並未繪示第3D及4D圖之玻璃基板310。值得注意的是，雖然在壓合透光基板的過程中，透光基板310、晶片320及膠框330所圍成之一密閉腔室仍會



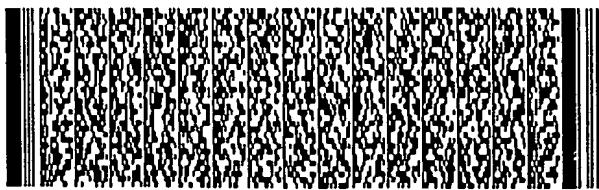
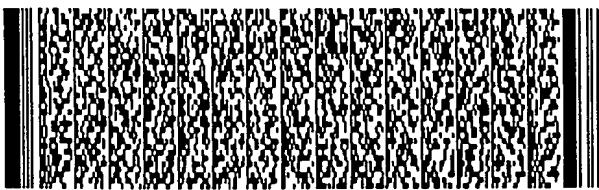
五、發明說明 (7)

受到透光基板310之下壓，而相對於外界具有較大之氣體壓力，但在壓合透光基板310時，由於密閉腔室之內部的初始氣壓值較低（例如為0.9~0.5atm），所以密閉腔體之內部氣體在受到外力壓縮以後，膠框330之內外側的氣壓差亦相對較小，使得膠框330之本身不易發生斷裂的現象。

綜上所述，本發明之膠框接合製程乃是在一負壓環境中，經由膠框來將透光基板之接合面接合至晶片之主動面，且膠框係環繞於晶片之主動面的功能區域。此外，膠框係可預先形成於透光基板之接合面上，或是預先形成於晶片之主動面上。在本發明之膠框接合製程中，由於透光基板、膠框及晶片所圍成之密閉腔室中的氣壓初始值較低，使得經過壓縮後之密閉腔室內的氣壓值上升的程度不大，故可降低膠框之內外側的氣壓差，因而降低膠框之本身發生斷裂的機率，進而提高膠框接合製程之良率。

除此之外，本發明之膠框接合製程係可應用於電荷耦合（Charge-Coupled Device, CCD）晶片、CMOS 影像感測（CMOS Image Sensor, CIS）晶片、太陽能電池（Solar Cell）、生化晶片（Bio-Chip）及其他光電元件之製程，藉以降低膠框之本身發生斷裂的機率，進而提昇膠框接合製程之良率。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護



五、發明說明 (8)

範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1A～1C圖繪示為習知之一種CMOS影像感測晶片之晶圓級封裝製程的流程示意圖。

第2圖繪示為CMOS影像感測晶片於封裝之後的俯視圖。

第3A～3D圖繪示為本發明之較佳實施例之第一種膠框接合製程的流程示意圖。

第4A～4D圖繪示為本發明之較佳實施例之第二種膠框接合製程的流程示意圖。

第5圖繪示為第3D、4D圖之晶片於封裝之後的俯視圖。

【圖式標示說明】

110：玻璃基板

112：接合面

120：晶片

122：主動面

122a：感測區域

130：膠框

310：透光基板

312：接合面

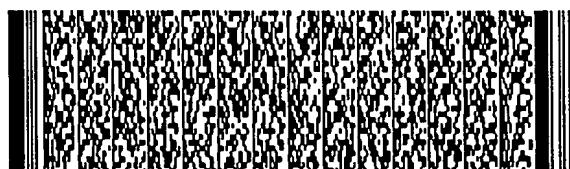
320：晶片

322：主動面

322a：功能區域

330：膠框

340：真空系統



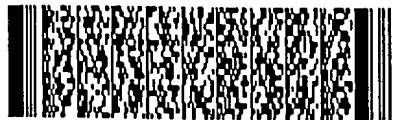
圖式簡單說明

342 : 腔體

344 : 真空幫浦

346 : 抽氣閥

348 : 壓力計



六、申請專利範圍

1. 一種膠框接合製程，適用於將一透光基板之一接合面經由一膠框，而接合至一晶片之一主動面，其中該晶片之該主動面更具有一功能區域，該膠框接合製程至少包括下列步驟：

形成該膠框於該晶片之該主動面，且該膠框係環繞於該功能區域之周圍；

在一負壓環境之中，將該透光基板之該接合面經由該膠框，而接合至該晶片之該主動面；以及

固化該膠框。

2. 如申請專利範圍第1項所述之膠框接合製程，其中該負壓環境之氣壓範圍係為0.9~0.5大氣壓力(atm)。

3. 如申請專利範圍第1項所述之膠框接合製程，其中固化該膠框之方法包括以紫外光照射該膠框。

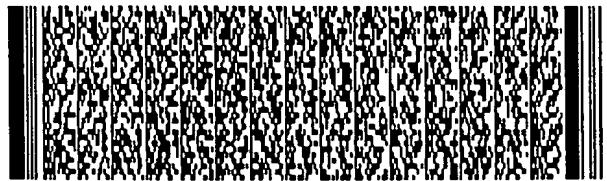
4. 一種膠框接合製程，適用於將一透光基板之一接合面經由一膠框，而接合至一晶片之一主動面，其中該晶片之該主動面更具有一功能區域，該膠框接合製程至少包括下列步驟：

形成該膠框於該透光基板之該接合面；

在一負壓環境之中，將該透光基板之該接合面經由該膠框，而接合至該晶片之該主動面，且該膠框係環繞於該功能區域之周圍；以及

固化該膠框。

5. 如申請專利範圍第4項所述之膠框接合製程，其中該負壓環境之氣壓範圍係為0.9~0.5大氣壓力(atm)。



六、申請專利範圍

6. 如申請專利範圍第4項所述之膠框接合製程，其中
固化該膠框之方法包括以紫外光照射該膠框。

7. 一種膠框接合製程，適用於將一透光基板之一接合
面經由一膠框，而接合至一晶片之一主動面，其中該晶片
之該主動面更具有一功能區域，該膠框接合製程至少包括
下列步驟：

在一負壓環境之中，將該透光基板之該接合面經由該
膠框，而接合至該晶片之該主動面，且該膠框係環繞於該
功能區域之周圍；以及

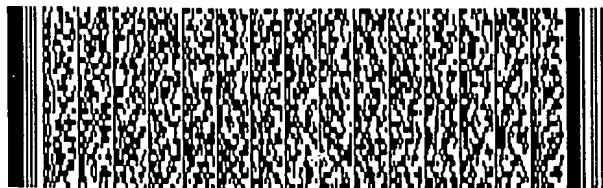
固化該膠框。

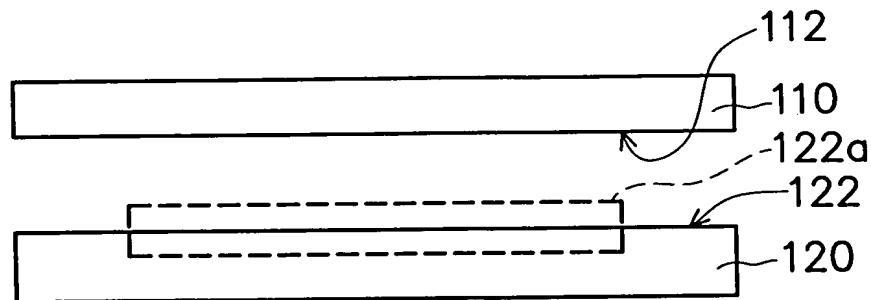
8. 如申請專利範圍第7項所述之膠框接合製程，更包
括在將該透光基板接合至該晶片之前，預先將該膠框形成
於該晶片之該主動面。

9. 如申請專利範圍第7項所述之膠框接合製程，更包
括在將該透光基板接合至該晶片之前，預先將該膠框形成
於該透光基板之該接合面。

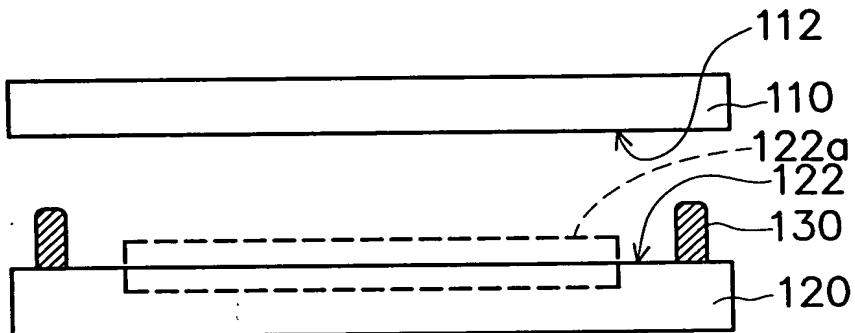
10. 如申請專利範圍第7項所述之膠框接合製程，其中
該負壓環境之氣壓範圍係為0.9~0.5大氣壓力(atm)。

11. 如申請專利範圍第7項所述之膠框接合製程，其中
固化該膠框之方法包括以紫外光照射該膠框。

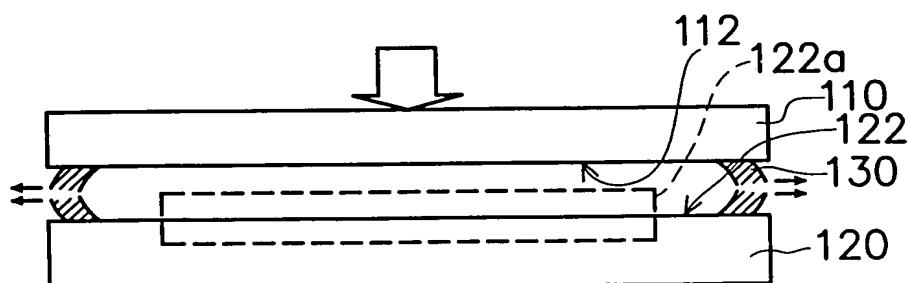




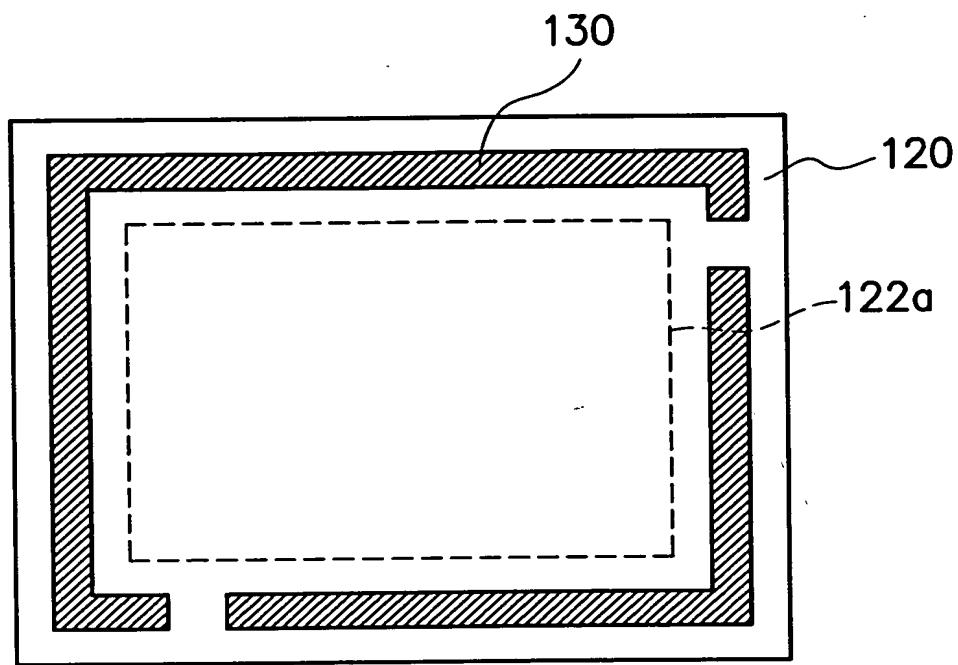
第 1A 圖



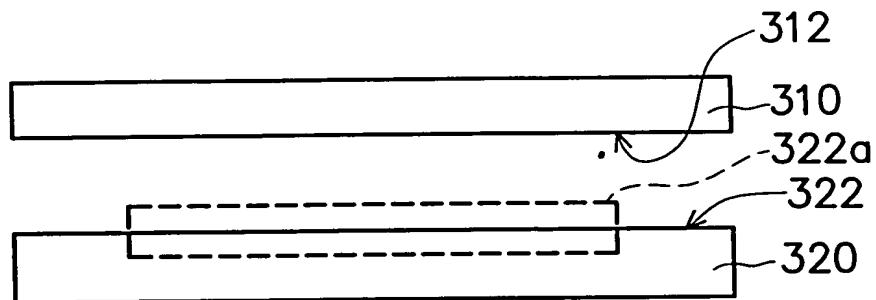
第 1B 圖



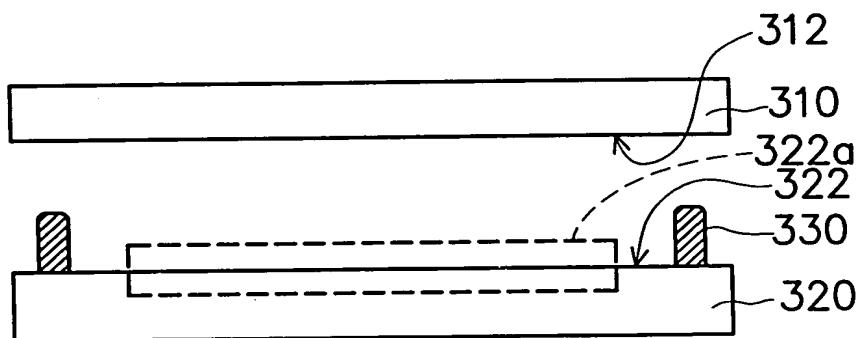
第 1C 圖



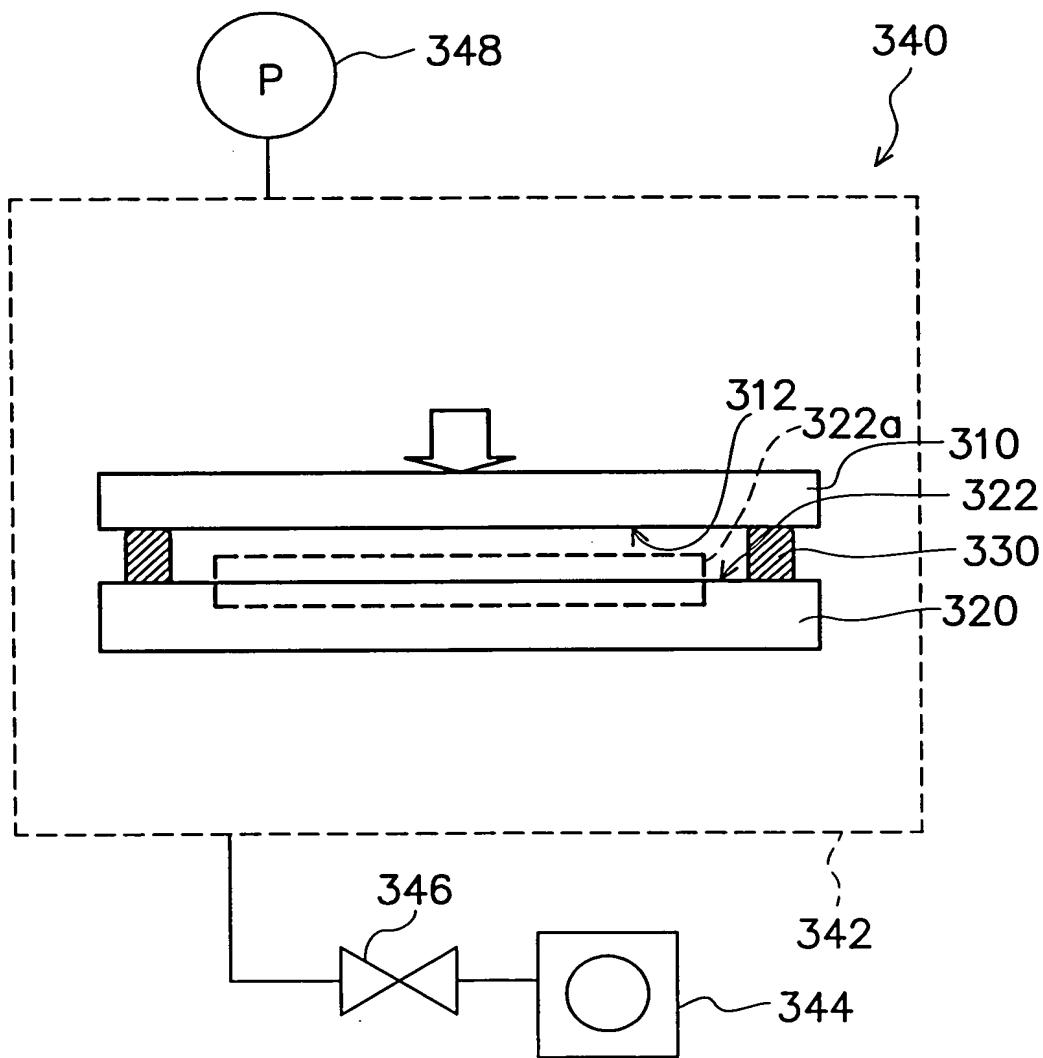
第 2 圖



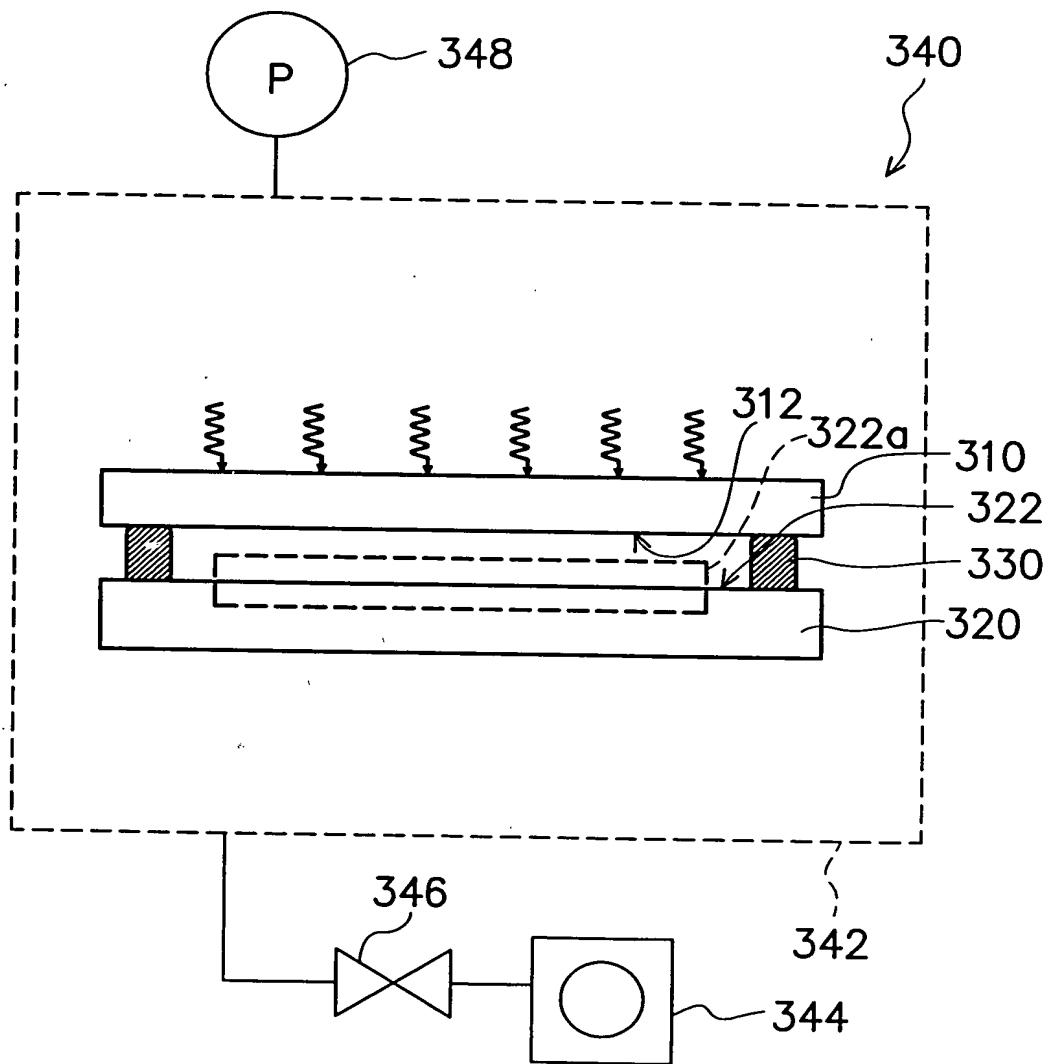
第 3A 圖



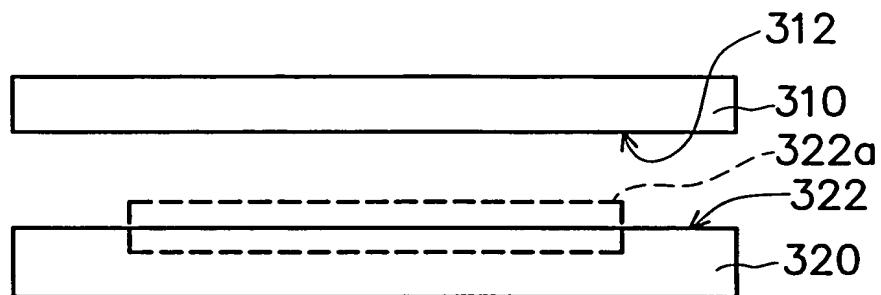
第 3B 圖



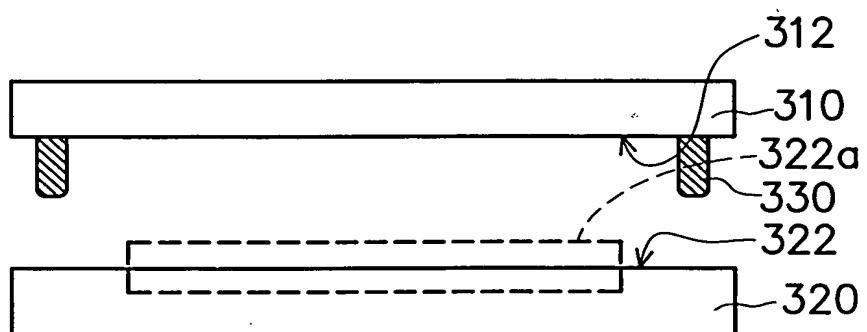
第3C圖



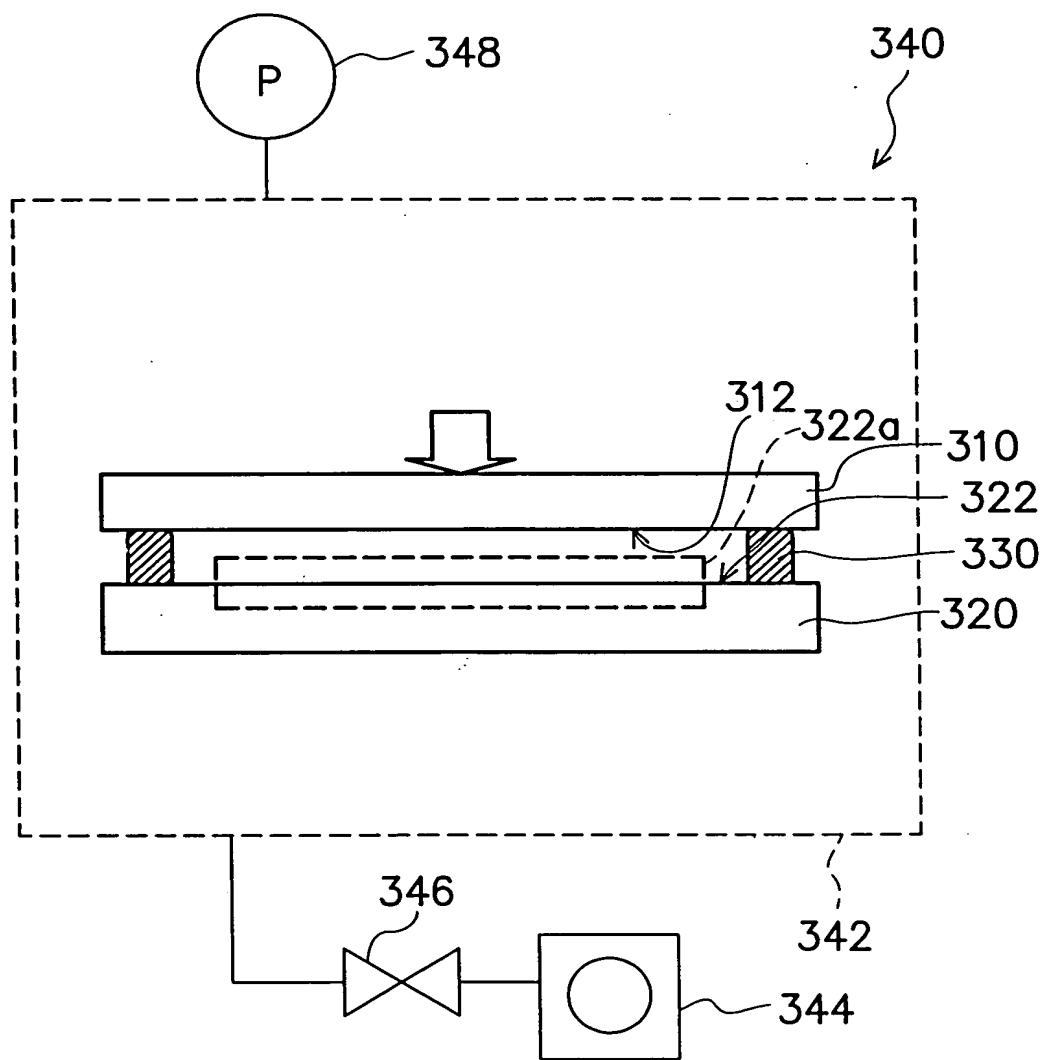
第3D圖



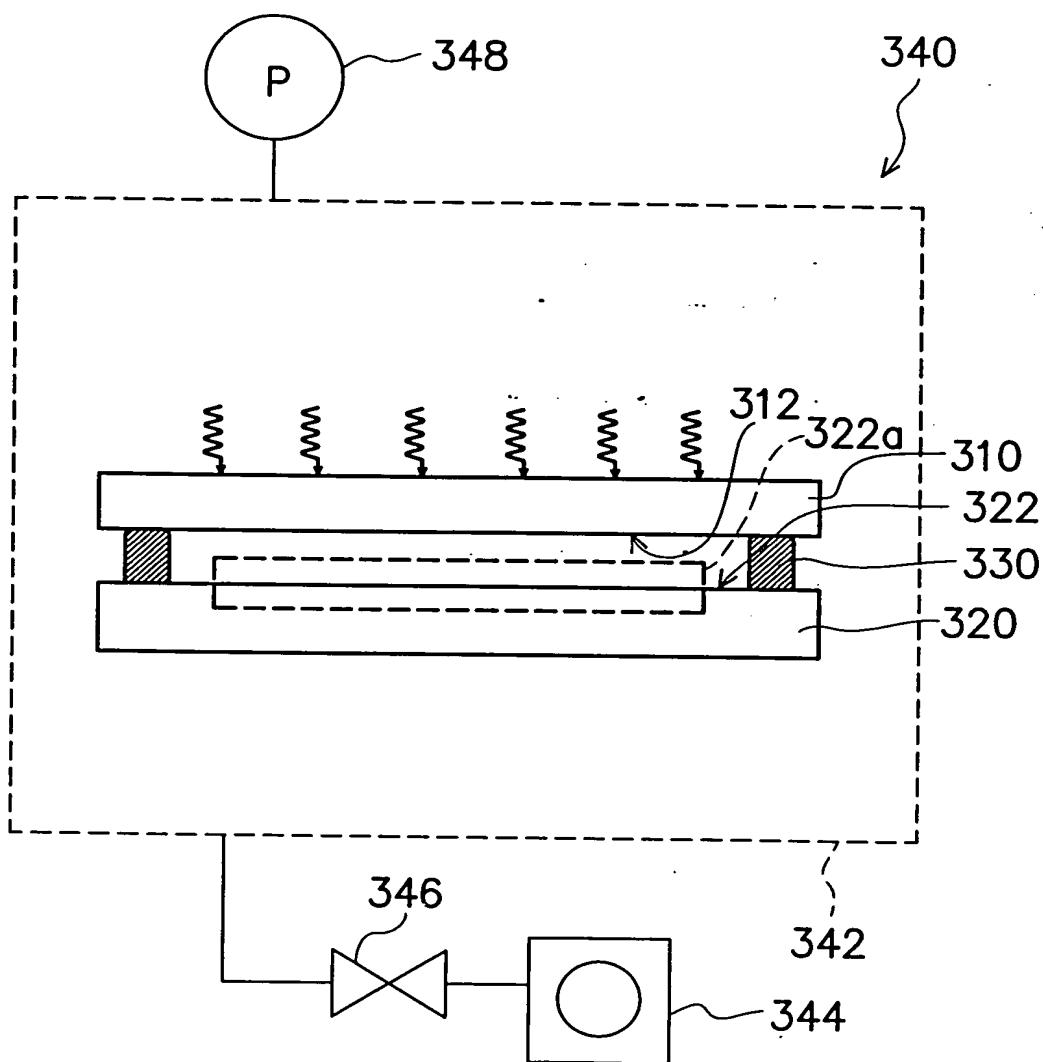
第 4A 圖



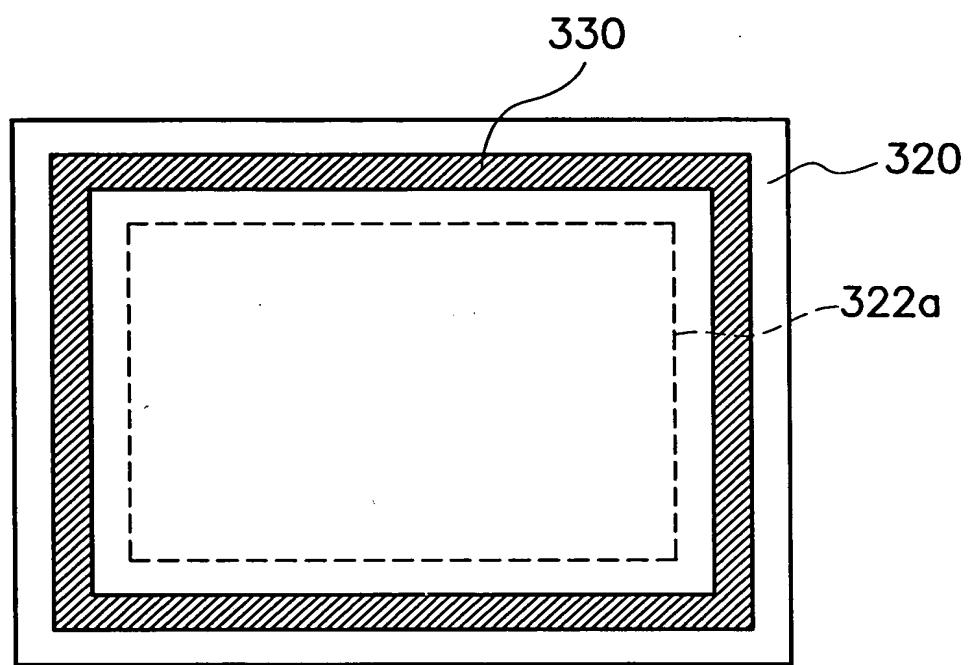
第 4B 圖



第 4C 圖

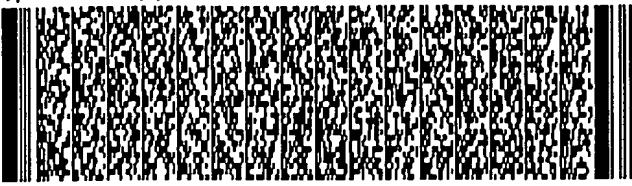


第 4D 圖

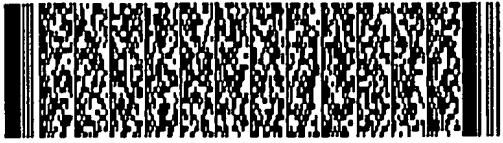


第 5 圖

第 1/19 頁



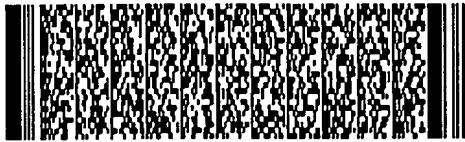
第 2/19 頁



第 3/19 頁



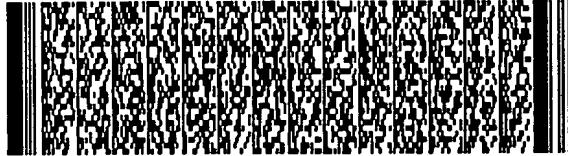
第 4/19 頁



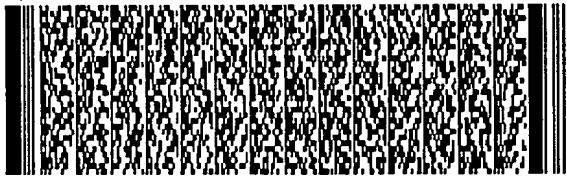
第 5/19 頁



第 5/19 頁



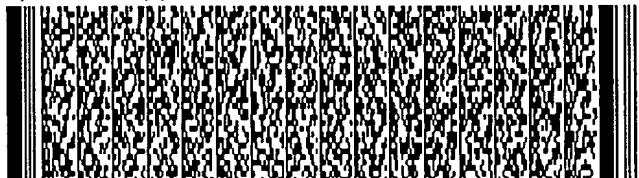
第 6/19 頁



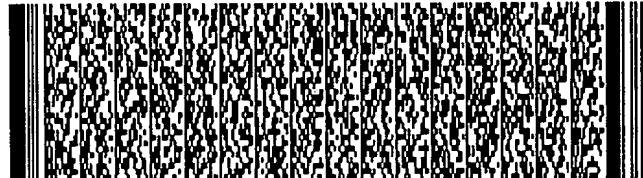
第 7/19 頁



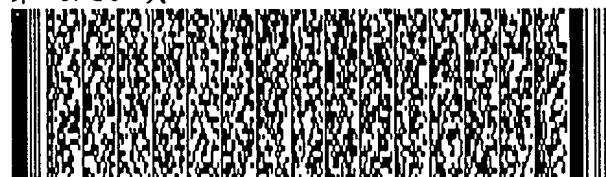
第 8/19 頁



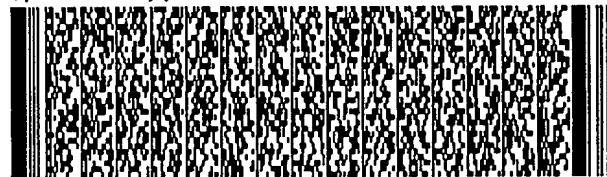
第 8/19 頁



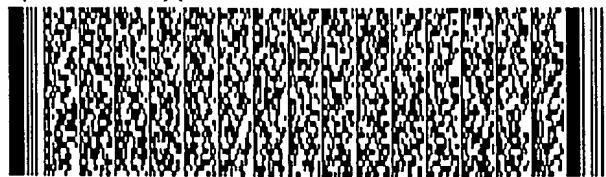
第 9/19 頁



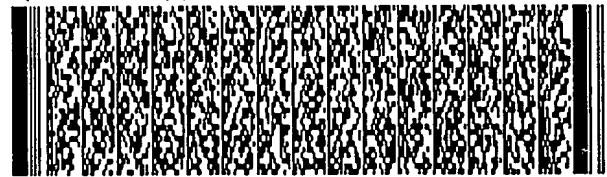
第 9/19 頁



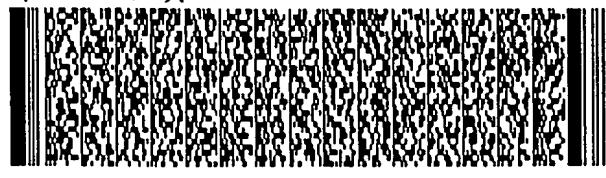
第 10/19 頁



第 10/19 頁



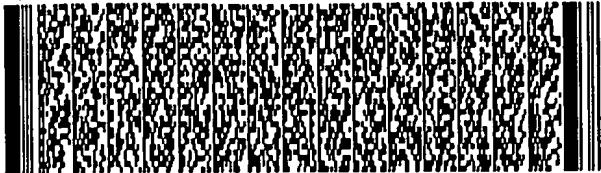
第 11/19 頁



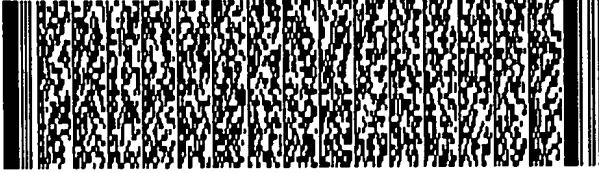
第 11/19 頁



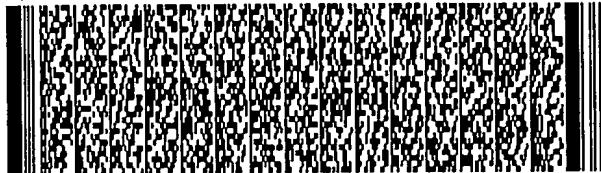
第 12/19 頁



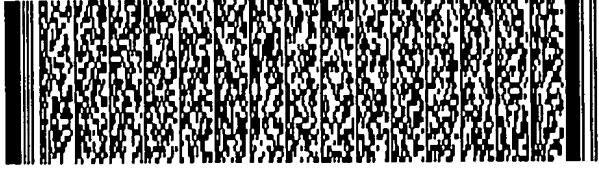
第 12/19 頁



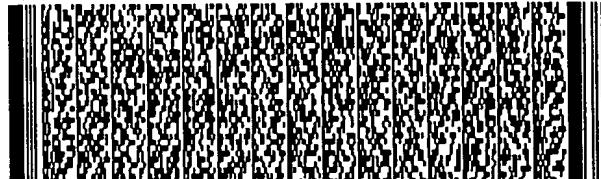
第 13/19 頁



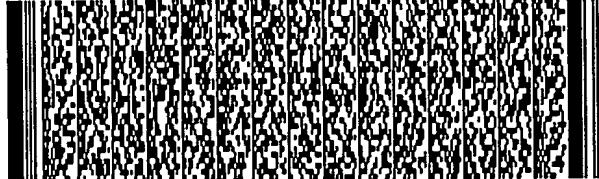
第 13/19 頁



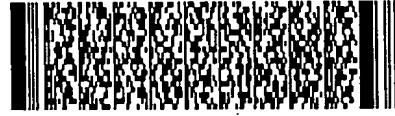
第 14/19 頁



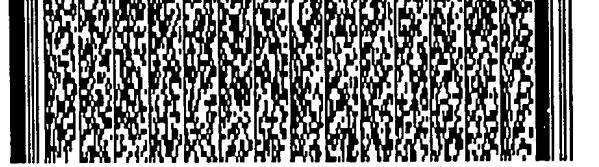
第 14/19 頁



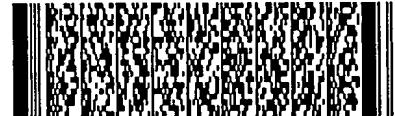
第 15/19 頁



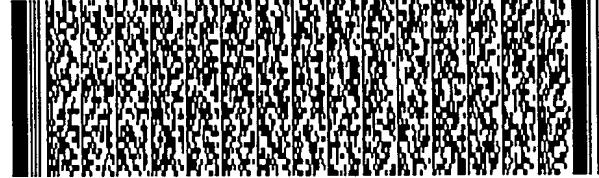
第 16/19 頁



第 17/19 頁



第 18/19 頁



第 19/19 頁

